

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002368020
PUBLICATION DATE : 20-12-02

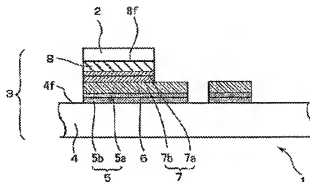
APPLICATION DATE : 30-04-02
APPLICATION NUMBER : 2002127948

APPLICANT : SUMITOMO ELECTRIC IND LTD;

INVENTOR : CHIKUGI YASUSHI;

INT.CL. : H01L 21/52 H01S 5/022

TITLE : SUBMOUNT AND SEMICONDUCTOR
DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a submount that can mount a light-emitting semiconductor device with high connection strength.

SOLUTION: The submount has a submount substrate, a solder layer formed on the main surface of the submount substrate, and a solder layer where a transition element layer using at least one kind of transition element as a main constituent and a precious metal layer using at least one kind of precious metal as a main constituent are laminated from the side of the submount substrate between the submount substrate and solder layer. The semiconductor device has a light-emitting semiconductor device mounted on the solder layer of the submount.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368020

(P2002-368020A)

(43) 公開日 平成14年12月20日 (2002.12.20)

(51) Int.Cl. ⁷	識別番号	P I	特許コード [*] (参考)
H 0 1 L 21/52		H 0 1 L 21/52	E 5 F 0 4 Y
H 0 1 S 5/022		H 0 1 S 5/022	5 F 0 7 3

審査請求 有 請求項の数10 O L 公開請求 (全 9 頁)

(21) 出願番号 特願2002-127948(P2002-127948)

(22) 出願日 平成14年4月30日 (2002.4.30)

(71) 出願人 060002130

住友電気工業株式会社

大阪府大阪市中央区北浜町丁目5番33号

(72) 発明者

石井 隆

兵庫県伊丹市尾陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(72) 発明者

柏垣 賢次郎

兵庫県伊丹市尾陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

(74) 代理人

100078313

弁理士 上代 哲司 (外4名)

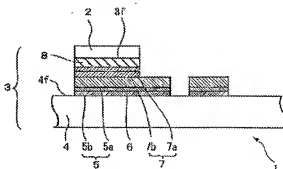
最終頁に続く

(54) 【発明の名称】 サブマウントおよび半導体装置

(57) 【要約】

【課題】 高い接合強度で半導体発光素子を取りつけることができるサブマウントを提供する。

【解決手段】 サブマウントは、サブマウント基板と、サブマウント基板の主表面上に形成されたはんだ層と、それらの間に、サブマウント基板側から遷移元素の少なくとも1種を主成分とする遷移元素層と貴金属の少なくとも1種を主成分とする貴金属層とが積層されたはんだ密着層を備える。半導体装置は、サブマウントのはんだ層上に搭載された半導体発光素子を備える。



【特許請求の範囲】

【請求項1】 サブマウント基板と、前記サブマウント基板の主表面上に形成されたはんだ層とを備えたサブマウントにおいて、前記サブマウント基板と前記はんだ層の間に、前記サブマウント基板面から遷移元素の少なくとも1種を主成分とする遷移元素層と貴金属の少なくとも1種を主成分とする貴金属層とが積層されたはんだ密着層を備え、該はんだ密着層の前記はんだ層側の面が前記はんだ層に面接触するように形成された、サブマウント。

【請求項2】 前記遷移元素層および前記貴金属層の膜厚が、0を超え1 μ m以下である、請求項1に記載のサブマウント。

【請求項3】 前記遷移元素層は、チタン、バナジウム、クロム、ジルコニウム、ニオブおよびその合金からなる群から選ばれた少なくとも1種を主成分とし、前記貴金属層は、金、白金、パラジウムおよびその合金からなる群から選ばれた少なくとも1種を主成分とする、請求項1または2に記載のサブマウント。

【請求項4】 前記はんだ層は、銀錫系はんだを主成分とする、請求項1～3のいずれか1項に記載のサブマウント。

【請求項5】 前記はんだ層の溶融前の形態が、銀を主成分とする層と錫を主成分とする層の積層からなる、請求項4に記載のサブマウント。

【請求項6】 前記サブマウント基板と前記はんだ密着層との間に形成された電極層をさらに備えた、請求項1～5のいずれか1項に記載のサブマウント。

【請求項7】 前記サブマウント基板と前記はんだバリア層との間において、前記サブマウント基板の主表面に接触するように形成された密着層と、前記密着層上に形成された拡散防止層とをさらに備え、前記電極層は前記拡散防止層上に配置されている、請求項6に記載のサブマウント。

【請求項8】 前記密着層はチタンを含み、前記拡散防止層は白金を含み、前記電極層は金を含む、請求項7に記載のサブマウント。

【請求項9】 前記サブマウント基板は窒化アルミニウム焼結体を含む、請求項1～8のいずれか1項に記載のサブマウント。

【請求項10】 請求項1～9のいずれか1項に記載のサブマウントを用いた半導体装置であって、前記はんだ層上に搭載された半導体発光素子を備える、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、サブマウントおよびそれを用いた半導体装置に関し、より特定的には、半導体発光素子を搭載するサブマウントおよびこのサブマウントを用いた半導体装置に関する。なお、本発明の「半導体発光素子」とは、例えばレーザーダイオードや

発光ダイオードのようなものを指す。

【0002】

【従来の技術】従来、半導体発光素子を備える半導体装置が知られている。このような半導体装置の一種は、図7に示すようにサブマウント3に半導体発光素子を搭載することにより製造される。図7は、従来の半導体装置の製造方法を説明するための断面模式図である。図7を参照して、従来の半導体装置の製造方法を説明する。

【0003】図7に示すように、従来の半導体装置1の製造方法は、まず半導体発光素子2を搭載するためのサブマウント3を準備する。サブマウントは、セラミックの基板4と、同基板上に形成されたチタン(Ti)を含む膜および白金(Pt)を含む膜からなる積層膜(Ti/Pt積層膜5)と、この積層膜上に形成された電極層としての金(Au)膜6と、この膜上に形成された白金(Pt)を含むはんだバリア層10と、同バリア層上に形成された金(Au)錫(Sn)系はんだを含むはんだ層8とからなる。Ti/Pt積層膜、Au膜、はんだバリア層およびはんだ層を形成する方法は、従来の蒸着法、スパッタリング法あるいはめっき法などの成膜方法およびフォトリソグラフィ法あるいはメタルマスク法などのパターンニング方法を用いることができる。

【0004】図7に示したようなサブマウントを準備した後、サブマウントのはんだを加熱溶融し、半導体発光素子としてのレーザーダイオードをはんだ上の所定の位置に搭載する(ダイボンド工程を実施する)。この後、図示しないヒートシンクにサブマウントの裏面側をはんだなどで接続・固定することにより、半導体発光素子を備える半導体装置を得ることができる。

【0005】また、半導体発光素子のダイボンド工程において、加熱によって発生する半導体発光素子の損傷を低減するために、上記金錫系はんだより溶融温度の低い鉛(Pb)錫(Sn)系はんだや銀(Ag)錫(Sn)系はんだが、はんだ層として用いられることもある。銀錫系はんだを用いた場合、同時に鉛フリー化も達成することができる。

【0006】

【発明が解決しようとする課題】一方、例えばCD装置やDVD装置の書き込み速度の高速化やレーザー加工機の高出力化などに伴う半導体発光素子の高出力化が進められており、それらに用いられる半導体装置にはより高い実用信頼性が要求されている。その実現のための1つ要望事項として、半導体発光素子とサブマウントの高い接合強度がある。

【0007】この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、半導体発光素子を高い強度で接合することが可能なサブマウントおよびそのサブマウントを用いた半導体装置を提供することである。

【0008】

【課題を解決するための手段】この発明に従ったサブマウントは、サブマウント基板と、サブマウント基板の表面上に形成されたはんだ層と、それらの間に、サブマウント基板側から遷移元素の少なくとも1種を主成分とする遷移元素層と貴金属の少なくとも1種を主成分とする貴金属層とが積層されたはんだ密着層を備える。このはんだ密着層の上面は、はんだ層に面接触するように形成されている。このような構成されたサブマウントでは、はんだ層の直下にはんだの接合を強固なものとするはんだ密着層が形成されているため、半導体発光素子とサブマウントの接合強度を高めることができる。また、遷移元素層は、4A族元素、5A族元素または6A族元素およびその合金からなる群から選ばれた少なくとも1種を主成分とする層であってもよく、また組成の異なる複数の層が積層されていてもよい。

【0009】接合強度を高めるためおよび価格面から、遷移元素層および貴金属層の膜厚は0を超え1 μ m以下であるのが望ましい、より好ましくは、遷移元素層の膜厚は、0.01 μ m以上0.2 μ m以下であり、貴金属層の膜厚は、0.01 μ m以上0.1 μ m以下である。

【0010】好ましくは、遷移元素層には、チタン(Ti)、バナジウム(V)、クロム(Cr)、ジルコニウム(Zr)、ニオブ(Nb)およびその合金からなる群から選ばれた少なくとも1種が主成分として含まれ、貴金属層には、金(Au)、白金(Pt)、パラジウム(Pd)およびその合金からなる群から選ばれた少なくとも1種が主成分として含まれる。この場合、はんだの接合強度をより一層高めることができる。

【0011】好ましくは、はんだ層は銀銅系はんだを主成分とする。この場合、鉛フリー化を実現できるとともに、半導体発光素子の接合温度を低く設定できるため、加熱によって発生する半導体発光素子の損傷を低減することができる。

【0012】また、溶融前のはんだ層は銀を主成分とする層と銅を主成分とする層が積層された構成であってもよい。

【0013】また、サブマウント基板とはんだ密着層との間に電極層をさらに備えていてもよい。この場合、電極層をはんだ密着層の下地膜として利用することもできる。

【0014】また、サブマウント基板とはんだ密着層との間の、サブマウント基板の表面に接合するように形成された密着層と、密着層上に形成された拡散防止層とを備えていてもよい。この場合、電極層は拡散防止層上に配置されている。

【0015】また、密着層はチタンを含み、拡散防止層は白金を含み、電極層は金を含む構成としてもよい。

【0016】好ましくは、サブマウント基板は窒化アルミニウム焼結体を含む。この場合、窒化アルミニウムは熱伝導率が高いため、放熱特性の優れたサブマウントを

得ることができる。

【0017】この発明に従った半導体装置は、上述のいずれかのサブマウントと、はんだ層上に搭載された半導体発光素子を備える。このような半導体装置では、半導体発光素子を高い強度でサブマウントに接合することができ、半導体装置の実用信頼性を向上させることができる。

【0018】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。図1、図3および図5は、本発明による半導体装置の実施の形態の一例を示す断面模式図である。また、図2、図4および図6は、それぞれ図1、図3および図5に示した半導体装置の製造方法を説明するための断面模式図であり、はんだ溶融前の状態を示したものである。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0019】図1に示すように、半導体装置1は、サブマウント3に半導体発光素子としてのレーザーダイオード2が搭載された構造を有している。サブマウントは、例えば窒化アルミニウム(AlN)焼結体からなるサブマウント用の基板4と、密着層としてのチタン(Ti)膜5bおよび拡散防止層としての白金(Pt)膜5aの積層膜5(Ti/Pt積層膜5)と、このTi/Pt積層膜5上に形成された電極層としての金(Au)膜6と、このAu膜上に形成され、遷移元素層としてのチタン(Ti)膜7bおよび貴金属層としての白金(Pt)膜7aの積層からなるはんだ密着層7と、はんだ密着層上に形成されたはんだ層8としての銀銅(AgSn)系はんだとからなる。

【0020】図1および図2に示すように、レーザーダイオード2と、サブマウントとは、はんだ層によって接続されている。レーザーダイオードの幅と、はんだ層の幅とは、はんだ密着層の幅は、ほぼ等しい。また、図3〜6に示すように、はんだ溶融前または溶融後の状態において、はんだ層の幅および長さは、レーザーダイオードの幅および長さより大きくても小さくても良く、はんだ密着層の幅および長さは、はんだ層の幅および長さより大きくても小さくてもかまわない。

【0021】図1に示した半導体装置においては、サブマウントを構成する基板の材料として、セラミックス、半導体、あるいは金属を用いてもよい。セラミックスとしては、例えば上述した窒化アルミニウム(AlN)、酸化アルミニウム(Al₂O₃)、酸化ケイ素(SiC)、窒化ケイ素(Si₃N₄)などを主成分としたものが、半導体としては、例えばシリコン(Si)を主成分としたものが、金属としては、例えば銅(Cu)、タングステン(W)、モリブデン(Mo)、銀(Fe)およびこれらを含む合金ならびに銅-タングステン(Cu-W)のような複合材料が、それぞれ挙げられる。

【0022】基板は、熱伝導率の高い材料を用いることが好ましい。その熱伝導率は、好ましくは 100 W/mK 以上であり、より好ましくは 170 W/mK 以上である。また、その熱膨張係数は、レーザーダイオードを構成する材料の熱膨張係数に近似していることが好ましい。例えばレーザーダイオードがガリウム砒素(GaAs)あるいはインジウムリン(InP)などを用いる場合、基板の熱膨張係数は、好ましくは $1.0 \times 10^{-6} / \text{K}$ 以下であり、より好ましくは $5 \times 10^{-6} / \text{K}$ 以下である。

【0023】基板4にセラミックを用いた場合、その上面とそれに対向する下面とを接続するようなスルーホールあるいはその内部に導体(ビアフィル)が充填されたビアホールが形成されていてもよい。ビアホールに充填される導体(ビアフィル)の主成分としては、望ましくは高融点金属、特にタングステン(W)やモリブデン(Mo)を用いることができる。なお、これらにさらにチタン(Ti)などの遷移金属、あるいはガラス成分や基板材料(例えば窒化アルミニウム(AIN))が含まれていてもよい。

【0024】基板の表面粗さは、好ましくは R_a で $1\text{ }\mu\text{m}$ 以下、より好ましくは R_a で $0.1\text{ }\mu\text{m}$ 以下である。また、その平面度は、好ましくは $5\text{ }\mu\text{m}$ 以下、より好ましくは $1\text{ }\mu\text{m}$ 以下である。 R_a が $1\text{ }\mu\text{m}$ を超えるか平面度が $5\text{ }\mu\text{m}$ を超える場合、レーザーダイオードの接合時にサブマウントとの間に隙間が発生し易くなり、それによってレーザーダイオードを冷却する効果が低下することがある。なお、表面粗さ R_a および平面度はJIS規格(それぞれJISB0601およびJISB0621)に規定されている。

【0025】また、Ti/Pt積層膜を構成するTi膜(チタン(Ti)を含む膜)は、基板との密着性を高めるための密着層であり、基板の上部表面に接触するように形成される。その材料としては、例えば(Ti)、パナジウム(V)、クロム(Cr)、ニッケルクロム合金(NiCr)、ジルコニウム(Zr)、ニオブ(Nb)、タンタル(Ta)、およびこれらの化合物を用いることができる。また、基板が金属、合金あるいは金属を含む複合材料である場合には、密着層は形成しなくてもよい。

【0026】また、Ti/Pt積層膜を構成する白金(Pt)膜は拡散防止層であり、Ti膜の上部表面上に形成される。その材料としては、例えば白金(Pt)、パラジウム(Pd)、ニッケルクロム合金(NiCr)、ニッケル(Ni)、モリブデン(Mo)などを用いることができる。なお、電極層の主成分は、通常Auが用いられる。

【0027】また、はんだ密着層と電極層との間にははんだバリア層が形成されていてもよい。その材料としては、例えば白金(Pt)、ニッケルクロム合金(NiCr)

r)、ニッケル(Ni)などを用いることができる。はんだバリア層の幅および長さは、はんだ密着層のそれより大きくても小さくてもかまわない。

【0028】また、はんだ層の材料としては、上述の銀錫(AgSn)系はんだの他に、例えば錫(Sn)、インジウム(In)などの低融点金属はんだ、または、金錫(AuSn)系はんだ、金メルニウム(AuGe)系はんだ、鉛錫(PbSn)系はんだ、インジウム錫(InSn)系はんだなどの合金はんだ、あるいはこれらを組み合わせたはんだを用いることができる。また、溶融前のはんだ層の形態としては、例えば図2の8a、8bに示したように、上記した合金はんだの別々の金属種が積層されていてもよい。なお、はんだ層に銀錫(AgSn)系はんだを用いる場合の銀(Ag)量は、0質量%以上7.2質量%以下、金錫(AuSn)系はんだを用いる場合の金(Au)量は、6.5質量%以上8.5質量%以下あるいは5質量%以上2.0質量%以下であることが好ましい。

【0029】なお、上述のTi/Pt積層膜、Au膜、はんだ密着層、はんだバリア層およびはんだ層を、総称して以下メタライズ層とも言う。メタライズ層の形成方法としては、従来から用いられている成膜方法を適用できる。例えば、蒸着法、スパッタリング法などの薄膜形成方法、あるいはめっき法などがある。また、上述のTi/Pt積層膜、Au膜、はんだ密着層およびはんだ層のパターニング方法には、例えばフォトリソグラフィを用いたリフトオフ法、化学エッチング法、ドライエッチング法、またはメタルマスク法などがある。

【0030】上述のTi/Pt積層膜のチタン(Ti)膜の厚さは、 $0.01\text{ }\mu\text{m}$ 以上 $1.0\text{ }\mu\text{m}$ 以下、白金(Pt)膜の厚さは、 $0.01\text{ }\mu\text{m}$ 以上 $1.5\text{ }\mu\text{m}$ 以下が、それぞれ好ましい。電極層としてのAu膜の厚さは、 $0.1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下が、はんだ層の厚さは好ましくは $0.1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下が、それぞれ好ましい。はんだバリア層を形成する場合、その厚さは好ましくは $0.01\text{ }\mu\text{m}$ 以上 $1.5\text{ }\mu\text{m}$ 以下である。

【0031】本発明の半導体発光素子の材料としては、例えばGaAs、InPのような、化合物半導体が挙げられる。発光部は、上面もしくは下面のいずれでもよい。なお、下面発光型レーザーダイオード(レーザーダイオードとはんだ層との接合部に対向するレーザーダイオードの側面側においてレーザーダイオードの発光部が形成されている方式)の場合、発熱部である発光部が基板により近い位置に設置されることから、半導体装置の放熱性をより向上させることができる。

【0032】レーザーダイオードの表面にはシリコン酸化膜(SiO_2)などの絶縁層および電極層などのメタライズ層が形成される。電極層としての金(Au)膜の厚さは、はんだ層との良好な濡れ性を確保するために、 $0.1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。

【0033】なお、図1に示した半導体装置は、図示されていないが、ヒートシンクにはんだ空を用いて接続されていてもよい。具体的には、基板のT1/Pt膜層が形成された面とは反対側の面上に密着層、拡散防止層などを形成した後、例えば基板の裏面とヒートシンクとの間にシート状のはんだ（はんだ箔）を配置し、これを介してサブマウントにヒートシンクが接合される。なお、はんだ箔は、あらかじめ基板裏面のメタライズ層上に形成してもよい。その場合は、レーザーダイオードとヒートシンクを同時に基板に接合することができる。

【0034】ヒートシンクの材料としては、例えば金属あるいはセラミックスなどを用いることができる。金属としては、例えば銅（Cu）、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、鉄（Fe）、これらの金属を含む合金および複合材料を用いることができる。なお、はんだ接合を容易にするために、ヒートシンクの表面にはニッケル（Ni）、金（Au）またはこれらの金属を含む膜を形成するのが好ましい。これらの膜は、蒸着法やめっき法で形成することができる。ヒートシンクの熱伝導率は、好ましくは100W/mK以上である。

【0035】次に、図2を用いて、図1に示した半導体装置の製造方法を、窒化アルミニウム焼結体を基板とした場合を想定して説明する。

【0036】まず第1工程として基板を製造する。この種のサブマウントは長さ、幅がせいぜい数mm程度と小さいため、通常は例えば長さ、幅が50mm程度の基板母材を製し、これにメタライズ層を形成した後、所定サイズに細かく切斷分割する方法で製造される。以下、この手順に沿って説明する。従って、この工程での基板母材のサイズは、例えば幅を50mm、長さを50mm、厚さを0.4mmとする。なお、基板材料である窒化アルミニウム（AlN）焼結体の製造方法には、通常の方法が適用できる。

【0037】次に、第2工程で基板の表面を研磨する。研磨後の基板の表面粗さは、好ましくはRaで1.0μm以下、より好ましくは0.1μm以下とする。研磨方法としては、例えば研削盤、サンドブラスト、サンドペーパーまたは砥粒による研削などの通常の方法を適用することができる。

【0038】次に、図2で示すように、密着層としてのT1膜5b、拡散防止層としてのPt膜5aおよび電極層としてのAu膜6を所定のパターンで形成するため、第3工程としてパターニングを行なう。このパターニングにおいては、例えばフォトリソグラフィ法を用いて、それぞれの膜が形成されるべき領域外の基板部分にレジスト膜を形成する。

【0039】第4工程は、密着層であるT1膜を蒸着する工程である。膜の厚さは、例えば0.1μmとする。

【0040】第5工程は、密着層上に拡散防止層である

Pt膜を形成する。膜の厚さとしては、例えば0.2μmとする。

【0041】第6工程では、電極層であるAu膜を蒸着する。膜の厚さは、例えば0.6μmとする。

【0042】第7工程はリフトオフ工程である。この工程では第3工程のターニング工程において形成したレジスト膜を、レジスト剥離液によって、そのレジスト膜上に載った密着層、拡散防止層および電極層それぞれの膜の部分とともに除去する。この結果、基板上に所定のパターンを有する3つの膜を形成することができる。

【0043】第8工程では、はんだ密着層を蒸着する。ここでは、メタルマスク法を用いて電極層上に遷移元素層としてのT1膜7b、次いで貴金属層としてのPt膜7aをそれぞれ蒸着する。このとき形成されるT1膜とPt膜の厚さは、それぞれ例えば0.08μmおよび0.05μmとする。

【0044】はんだ密着層を形成する工程において、成膜雰囲気から水分や酸素などの不純物ガスを低減するために、成膜前のチャンバ内の圧力（到達真空度）は、 5.0×10^{-4} Pa以下が好ましく、より好ましくは 1.0×10^{-4} Pa以下である。また、はんだ密着層の下地に対する密着性を向上させるために、はんだ密着層の成膜時の基板の表面温度は、20℃以上350℃以下、さらには100℃以上250℃以下が好ましい。

【0045】次に、第9工程として真空蒸着法により、はんだ密着層上にはんだ層8を形成する。ここでは、メタルマスク法を用いて、図2に示したように、はんだ密着層上にAg/Sn積層はんだ層としてのAg膜8bを蒸着し、続いてSn膜8aを蒸着する。このとき形成されるAg膜とSn膜の厚さは、それぞれ例えば1.5μmおよび3.0μmとする。

【0046】はんだ層を形成する工程において、成膜雰囲気から水分や酸素などの不純物ガスを低減するために、成膜前のチャンバ内の圧力（到達真空度）は、 5.0×10^{-4} Pa以下とするのが好ましく、より好ましくは 1.0×10^{-4} Pa以下である。また、はんだ層のはんだ密着層に対する密着性を向上させるために、はんだ層の成膜時の基板の表面温度は、20℃以上であり、はんだの液相生成温度よりも10℃低い温度以下とするのが好ましい。

【0047】なお、所定のパターンを有するはんだ密着層およびはんだ層の形成方法としては、上述のメタルマスク法に代えて前述のフォトリソグラフィ法を用いてもよい。

【0048】次に、第10工程で、その母材基板を所望のサブマウントの長さ、幅に切斷分割し、図2に示すサブマウント3を得る。

【0049】次の第11工程では、半導体発光素子としてのレーザーダイオード2を接合する。具体的には、図2に示すように、加熱により溶融したはんだ層8の上

に、矢印1に示すように同素子を配置し、はんだ層によってサブマウントに接合する、このようにして、図1の半導体装置1が完成する。

【0050】以上のような本発明のサブマウントおよび半導体装置では、はんだ層の直下にはんだの接合を強固なものとすると遷移元素層と貴金属層とが積層されたはんだ密着層が形成されているため、半導体発光素子とサブマウントの接合強度をより一層高めることができる。その結果、半導体装置の実用信頼性をより一層向上させることができる。

【0051】

【実施例】（サンプルの作製と評価）以下の手法により、表1および2に示される試料1から29のサブマウントを製造した。試料1から25が実施例に対応し、試料26から29が比較例に対応する。

【0052】まず、表1に示した材質の基板を準備した。寸法はいずれも、縦×横×厚みが50mm×50mm×0.4mmとした。この基板の表面を研磨して、主表面4fの粗さRaを0.05μmとした。次に、フォトリソグラフィーを用いたリフトオフ法と真空蒸着法により、厚みが0.1μmのTi膜5bと厚みが0.2μmのPt膜5aと厚みが0.6μmのAu膜6からなるメタライズ層を形成した。なお、試料7については、上記メタライズ層の代わりに厚みが1.0μmのNiメッキ膜と厚みが1.0μmのAuメッキ膜からなるメタライズ層を形成した。

【0053】次に、はんだ密着層7となる遷移元素層および貴金属層をメタルマスク法と真空蒸着でメタライズ層上に形成した。遷移元素層および貴金属層の組成、膜厚および蒸着の条件は表1に示した通りである。

【0054】その後、すべての試料に対し、はんだ層8

をメタルマスク法と真空蒸着で形成した。はんだ層の組成、膜厚および蒸着の条件は表1に示した通りである。表1中の「はんだ組成」は、はんだ層を構成する元素の質量比を示す。

【0055】さらに、基板4を切断することにより、縦×横×厚みが1.2mm×1.5mm×0.3mmのサブマウントを、それぞれの試料1から29について、10個ずつ作製した。そして、それぞれの試料について、はんだ層を窒素雰囲気中で加熱により溶融させてレーザーダイオード2を接合した。その接合温度は表1に示した通りである。

【0056】このようにして得られた半導体装置1（図1参照）の、レーザーダイオードのサブマウントに対する接合強度をMIL-STD-883C METHOD 2019.4に基づいたダイシアー試験（DIE SHEAR STRENGTH TEST）により測定し、各試料番号の10個の試料の接合強度の平均値を求めた。その結果も表1に示す。

【0057】表1の結果より、本発明によるサブマウントおよび半導体装置においては、比較例のそれらに比べ、半導体発光素子とサブマウントの接合強度が向上していることが分かる。

【0058】今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態および実施例ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0059】

【表1】

材料 番号	基板	薄膜の形成			はんだの塗布			はんだの固			レーザーダイオード		
		厚さ (μm)	組成	厚さ (μm)	組成	厚さ (μm)	組成	厚さ (μm)	組成	厚さ (μm)	組成	厚さ (μm)	組成
1	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
2	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
3	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
4	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
5	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
6	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
7	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
8	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
9	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
10	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
11	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
12	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
13	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
14	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
15	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
16	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
17	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
18	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
19	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
20	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
21	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
22	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
23	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
24	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
25	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
26	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
27	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
28	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt
29	AIN層	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt	0.05	Pt

(注) *1は必須条件である。

表中の「組成」は、はんだ組成またははんだ組成要素の組成率を示すものである。

【0060】

【発明の効果】このように、本発明によれば、はんだ層の直下にはんだの接合を強固なものとする遷移元素層と貴金属層とが積層されたのはんだ密着層を形成することにより、半導体発光素子とサブマウントの接合強度をより一層高めることができる。その結果、半導体装置の実用信頼性をより一層向上させることができる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】 図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図3】 本発明による半導体装置の実施の形態の一例を示す断面模式図である。

【図4】 図3に示した半導体装置の製造方法を説明す

るための断面模式図である。

【図5】 本発明による半導体装置の実施の形態の他の一例を示す断面模式図である。

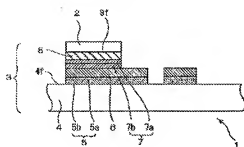
【図6】 図5に示した半導体装置の製造方法を説明するための断面模式図である。

【図7】 従来の半導体装置の製造方法を説明するための断面模式図である。

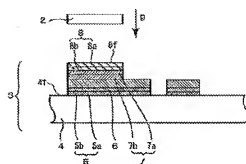
【符号の説明】

1 半導体装置、2 レーザーダイオード、3 サブマウント、4 基板、4f 主表面、5 Ti/Pt積層膜、5a Pt膜、5b Ti膜、6 Au膜、7 はんだ密着層、7a Pt膜、7b Ti膜、8 はんだ層、8a Sn膜、8b Ag膜、8f 表面、9 矢印、107 はんだパリア層。

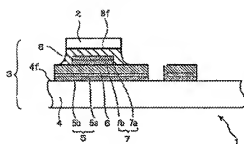
【図1】



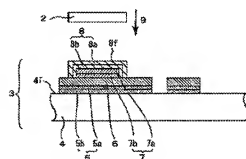
【図2】



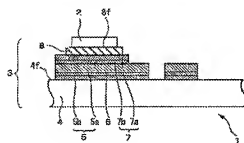
【図3】



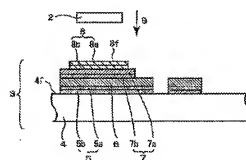
【図4】



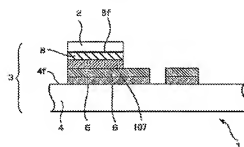
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成14年9月18日(2002.9.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 前記サブマウント基板と前記はんだ密着層との間において、前記サブマウント基板の主表面に接触するように形成された密着層と、前記密着層上に形成された拡散防止層とをさらに備え、前記電極層は前記拡散防止層上に配置されている、請求項6に記載のサブマウント。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】図7に示したようなサブマウントを準備し

た後、サブマウントのはんだを加熱溶融し、半導体発光素子としてのレーザーダイオード2をはんだ上の所定の位置に搭載する(ダイボンド工程を実施する)。この後、図示しないヒートシンクにサブマウントの裏面側をはんだなどで接続、固定することにより、半導体発光素子を備える半導体装置を得ることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【発明が解決しようとする課題】一方、例えばCD装置やDVD装置の書き込み速度の高速化やレーザー加工機の高出力化などに伴う半導体発光素子の高出力化が進められており、それらに用いられる半導体装置にはより高い実用信頼性が必要とされている。その実現のための1つの要請事項として、半導体発光素子とサブマウントの高い接合強度がある。

フロントページの続き

(72)発明者 筑本 保志

兵庫県伊丹市昆陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

Fターム(参考) 5F047 AA19 BA05 BA15 BA19 BA41

BB16 BC07 BC13 BC14 CA08

5F073 BA05 BA09 BA29 FA15 FA18

FA21 FA30

